KOREAN PATENT ABSTRACTS

(11)Publication number:

1020020067769 A

(43) Date of publication of application: 24.08.2002

(21)Application number:

1020010008099

19.02.2001

(71)Applicant:

SAMSUNG ELECTRONICS CO.,

(72)Inventor: KAN

KANG, MYEONG AE

(22)Date of filing:

(51)Int. CI

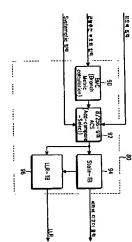
H03M 13/37

(54) INTEGRATED DECODER OF VITERBI DECODER AND TURBO DECODER AND METHOD FOR PERFORMING INTEGRATED DECODING PROCESS

(57) Abstract:

PURPOSE: An integrated decoder of a Viterbi decoder and a turbo decoder and a method for performing an integrated decoding process are provided to reduce complexity of a hardware and economize a memory source by forming a Viterbi decoder and a turbo decoder with one body.

CONSTITUTION: An 8-state SOVA/256-state Viterbi decoder(80) is formed by including a hard decision Viterbi decoder in a SOVA decoder of a turbo decoder. The 8-state SOVA/256-state Viterbi decoder(80) has an integrated structure of the 8-state SOVA decoder and the Viterbi decoder. In a Viterbi decoder mode, the 8-state



SOVA/256-state Viterbi decoder(80) transmits an output to an output terminal since 8-state SOVA/256-state Viterbi decoder (80) does not use necessary parts used in a repetition decoding process of the turbo decoder. In a turbo decoding mode, the repetition decoding process is performed by processing 8 states at once.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20031129)

Patent registration number (1004151160000)

Date of registration (20031230)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

(19) 대한민국특허청(KR) (12) 등록특허공보(BI)

(21) 출원변호 (22) 출원일자	(51) Int. CI. HIGH 13/37
10-2001-0008099 10-2001-0008099	
(65) 공개번호 (43) 공개일자	(45) 공고일자 (11) 등록번호 (24) 등록일자
10-2002-0067769 2002년 08월24일	2004년이불13일 10-0415116 2003년12월30일

72) 달당자 (73) 특허권자 경기도 수원시 영룡구 때단동 강명화 삼성전자주식회사 46

경기도수원시권선구권선동1013-2202호 이건주

(24) 대리인

(전) 메딘비 디로디와 타로 디크디의 영합 디코더 일 통합디코딩 방법

을 말음을 터보 디코더와 비탄비 디코더를 함께 사용하는 채형 수신은의 비탄비 디코더와 터보 디코더의 통한 디코더 및 통한·디코당 방법에 있어서, 경기 중관정 비탄비 디코더를 경기 터보 디코더의 내부에 구 현일 역성·출력 비탄비 알고리즘 디코더에 포함시켜 8·상태 연성·출력 비탄비 알고리즘 디코더와 256·상 터 공편정 비탄비 디코더를 함께 구현한 8·상태 연성·출력 비탄비 알고리즘/35·상태 비탄비 디코더 및 등한 디코딩 방법을 제공한다.

63

MEIO

디코디(Decoder), 비턴비(Viterbi), 턴보(Turbo), 통합 구조

87 हरिट ५८३५

중래의 레지스타-교환 면성출력 비터비 알고리즘을 사용하는 띮 디코디의 게라적인 血血

- 도 2는 증권의 공판정 비타비 미코데의 계탁적인 블록 구성도, 도 3은 도 1의 타보 대코대 내의 8~상태, 30% 대코대의 계탁적인 블록 구성도, 도 4는 증권의 타타비 인코대의 트퀄리스 다이아그램을 도시한 도면, 도 5는 증권의 바타비 인코대의 트퀄리스 다이아그램을 도시한 도면, 도 6은 증권의 레지스타-교환 연성철택 비타비 알고리즘을 사용하는 타보 다. 디크더의 뜮 면산기 ¥,D
- 도 7은 중점의 비타비 디코디의 비영 연산기 및 해이씨에스 데이터경로 연산기와 메모리의 물록 구성도, 도 6은 본 달음의 살시 예에 따른 바타비 디코디와 타보 디코디의 통합된 구조의 계약적인 물록 구성도, 도 9는 본 당음의 살시 예에 따른 8~상태 권자스타-교환 연성용택 비타비 알고리즘 디코디와 258~상태 판장 바타비 디코디가 통합 구현된 구조의 계약적인 물록 구성도, 도 10은 본 달음의 살시 예에 따라 구현된 비타비 디코디와 타보 디코디의 등합 구조에서 비영 연산기 8/258~상태 가산비교선액 연산기와 메모리의 물록 구성도.

500 EFR

姓台 后岛高

きんなき ためる こ あ わるぎん 子をも 10品高

본 법임은 비턴비 디코디(Viterbi Decoder)와 터보 디코디(Turbo Decoder)에 (MODEN: Modulation/Demodulation) 수신기에서의 비턴비 디코디와 러지스터-교환용(Register - bodunge Soft Dutput Viterbi Algorithm 이하, 또SONA의 역정함)등 통합한 구조를 갖는 디코디 및 통합 디코딩 방법에 관한 것이다. 4 관한 것으로, 특히 모뎀 환 연성출력 비터비 알고리 합)를 사용하는 터보 디코디

18-95(Interia-Standard-95) 기재대역 모임 철(Chip)들은 말반적으로 비턴비 인코더(Encoder)와 턴보 코더, 흥울 지원하는 채널(Chamel)에 대해 비턴비 디코더와 턴보 디코더블 모두 구비하여 채널 인코딩 류에 따라 디코더블 선택, 동작시킨다. 비턴비 인코더와 턴보 인코더는 모두 트멀리스(Trells)구조를 용하는 콘컴투간 코딩(Convolutional Coding)이므로, 이를 디코딩하는 디코더를은 유사한 동작을 하게 다.

티커디크 연성용력(Soft-Output) BIEIBI 디크디를 사용한다. 점합)를 사용하는 터보 디코더의 킹상원

도 1 내지 도 7은 중래기술에 따른 도면으로서, 이를 참조하여 본 따른 문제점을 설명한다. 속하는 기술분이와 중래기술에

도 1은 중래의 검지스타-교환 연성용학 비턴비 알고리즘을 사용하는 터보 디코더의 개략적인 물록 구성도이고, 도 2는 중래의 경환정 비턴비 디코더의 개략적인 물록 구성도이며, 도 3은 도 1의 터보 디코더 내의 8~3에 SWA 디코더의 개략적인 물록 구성도이다.

따라서 유사한 동작 부분이 있고 동시에 사용되지 않으므로 이를 병혈로 구현하는 것은 하드웨이 복잡도 를 증가시키는 문제가 있다.

다음으로 도 4는 중래의 타보 인코대의 토합리스 다이라그램을 도시한 도면이며, 인코대의 토합리스 다이라그램을 도시한 도면이다. il. 연기의 비디티

도 4에 나타낸 트립리스를 가지는 18-55C 비터비 인코더의 구축장(Constraint Length)은 '9'미고, 도 5에 나타낸 터보 인코더의 구축장은 '4'미다. 이는 '일반적으로 터보 인코더는 '재귀(recursive) 인코딩에 약한 구축장 작용효과에 '따라 설계 구현성의 구축장이 작가 때문이다. '따라서 1 정보비트 처리를 나타내는 '1 소년이지(Stage)에서 비터비 인코더는 선~255의 상태(State)를 가지며, 터보 인코더는 선~3의 상태를 가 전다.

이렇게 다른 수의 손에를 가지므로, 비타비 디코디와 타보 디코디를 하나의 디코디로 통합하는데 주의가 요구되며, 통합 구현에 있어서 퇴접도를 통이기 위해서는 하드웨어적으로 퇴험한 구조가 요구된다. 한편, 비타비 말고리즘을 사용하는 디코디들은 하나의 디코드 비트를 결정하기 위하여 구속점에 비견하는 강으로 11억의 양을 나타내는 10 깊이(Denth) 값을 사용한다. 이라한 하나의 디코드 비트를 결정하기 위한 10 깊이에 해당하는 사업(Add-Compane-Salect, 기선비교선역 연산기, 이하 'AS'로 청합기의 결과 값을 지 정하기 위한 메모리를 구비한다.

도 6은 중래의 래지스타-교환 연성출력 비터비 알고리즘(RESOW)를 사용하는 터보 디코디의 비행 연상기 및 해이씨에스 데이터경로 연산기와 해모리의 물록 구성되이며, 도 7은 중래의 비터비 디코디의 비행 연 산기 및 에이씨에스 데이터경로 연산기와 해모리의 물록 구성되이다. 도 6 및 도 7에 도시된 도면을 참조 하여 설명하면, 우선 광관정 비터비 디코디의 공우에 있어서 요구되는 해모리 양은 다음과 같이 계산된다.

필요한 데모리 = (Sign 1 bit x State 수) x (TB Depth)

기리고 당보 다코대의 공약에 있어서 요구되는 메모리 양은 다음과 쁄

필요한 메모리 - (Sign 1 bit x State 수) x (State-TB Depth)

(Path Matric resolution) × (State ♠) × (LLR-TB Depth)

LLR-TBN/시 정신한 LLR(Log Likelihood Ratio)결과 해당하는 메모리를 사용한다. 갔을 면혹(iterative) 1748810 왊

에모리 * (LLR resolution) x (1회 반복에 적용함 (프레임 내의 심용 수)

상염한 비와 같이 유사한 트햄리스와 각기 다른 메모리를 냂 FIEH 국민폰이 독명 성단뿐이

2

記の独唱 담하다 수 원

마 의원 의원 마당마 486 로 585 로 방영의 다른 목적은 비단비 디코디와 터보 디코디 구조를 비터비 디코더와 터보 디코더 통합 구조를 제공합에 있다. 목적은 중래의 방식에서 유사한 동작을 각 에 디코더와 터보 디코더를 통합하는 디코더 다 다 각 | 수행함으로써 및 통합 디코딩 無ないいのは 보 목집한 방법을 기 BISHA N 한 하드웨어의 목간 되모리 물고잡투 자원율

상기한 욕직을 달성하기 위하며 된 말임의 장치는, 티보 디코더와 비타비 디코더를 함께 사용하는 채널 수선단의 비타비 디코더를 되게 사용하는 채널 수선단의 비타비 디코더로 시작 기고리로 시작 경우 이로대에 있어서, 중관정 비타비 입고리를 포함하고, 상기 타보 디코더의 바부 디코더로 시작 역소 등학 비타비 왕고리 등 사용하는 8상의 연상 등학 비타비 왕고리 등 디코디와, 상기 연상 등학 비타비 왕고리 등 디코디와 통합되고, 258-상태 경화정 비타비 디코더인 258-상태 비타비 디코더로 함께 지원하는 개월의 258-상태 비타비 디코디크를 확히하는 것을 팀장으로 한다.

상기한 욕직을 달성하기 위하여 본 말임의 보건을 비타비 디코디와 비타비 인코디를 함께 지원하는 개월의 수선단에 사직을 들 학생하는 30에서, 경환정 비타비 디코디를 포함하는 연상 등학 비타비 왕고리 등 단코너의 사용하는 18상대 연소 등학 비타비 왕고리 등 단코나의 기급 등 연소 등학 비타비 왕고리 등 단코나의 소개 보다 인코디에 인착 시작 인크 사용하는 18상대 연소 등학 비타비 임코리를 시로 대로 연구에 의해 각각 인크님 다음을 통합한 통한 비타비디크리 기소에 사용할 부호화 입력에 따라 상기 부호하 입력의 상태를 한번에 기원하는 가장을 포함하는 가장을 포함하는 기원을 사용 대를 바타에 디코리가 상기 구분되어 자장된 부호화 입력에 따라 상기 부호하 입력의 상태를 한번에 계상하여 디코딩하는 가장을 포함하는 것을 특징으로 한다.

15.60 母母 原 安县

이하 된 말당의 바람적한 실시 예를 첨부한 도면을 참조하며 상세히 설망한다. 상기 첨부 도면의 구성 요소한 한 조목보호를 구기할에 있어서는 동일한 구성요소들에 한에서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 유연에 유의하여야 한다. 또한 하기 성을 및 첨부 도면에서 구지 가는 한 한 동일한 부호를 가지도록 하고 유연에 유의하여야 한다. 또한 하기 성을 및 첨부 도면에서 구지 적인 처리 호를 가는 목 경에 사람들이 본 말당의 보다 구성적인 이해를 심공하기 위해 나타나 있다. 학교 기업으로 함께 같은 마른 목성 상세별이 본 말당의 보다 구성적인 이해를 심공하기 위해 나타나 있다. 지원 그 이 기술분이에서 동성의 지식을 가진 지생에 자 등을 것이다. 그리고 본 말당의 심지함 수 있다는 것은 이 기술분이에서 동성의 지식을 가진 지생에 자를 찾으니다. 그리고 본 말당의 심지를 통합하게 호텔 수 있는 공지 기능 및 구성에 대한 상세한 성명 등을 생략한다.

도 8은 본 말당의 심지 에에 따른 비타비 다고다와 타보 다고다의 물란된 구조의 개목적인 불록 구성도이다. 도 10은 본 말당의 심지 예에 따른 바라비 다고다와 타보 다고나 사람이 병을 구성되지 있다. 기술 및 가장하는 상태 가산비교선적 연안 구현된 비타비 다고다와 타보 다고다의 통한 구천된 구조의 개목적인 불록 구성도이고, 도 10은 본 말당의 심지 예에 따라 구성의 기속적인 불록 구성도이고, 도 10은 본 말당의 심지 예에 따라 구성된 기술에 대한 역간에 및 환경하는 상태 기산비교선적 연안기에 메모리의 불록 구성도이다.

를 다 다 다 다 다 다 가조에서 되면 됩니다. 하는 이번에 되었다. ID WOS 15 ID 본데 되며 집을 158 권

그리고 비터비 디코더 모드에서는 터보 디코더에서 사용되는 반복 디코딩에 꼽호한 부분들이 사용되지 않으므로 또 되 8~상태 30WAZS~상태 비타비 디코디(約)는 출착을 바로 출착으는로 바보내다. 또 9에 도시된 바라 바라 함께 바라비 디코디 모드에서는 반복 디코딩에 필요한 부분들이 사용되지 않으므로, 8/25~상 바 AS(22)의 출착은 State-18(와)으로만 인거되며, State-18(와)는 출간를 내자18(35)로 전송하지 않고 바로 출착받으로 출착한다.

한편, 단보 디코더 모드에서는 도 9의 비행 연산기(8%)(90), 8/256-상태 가산비교전학(ACS) 연산기(8%), 24te-18(94), LR-18(96)로 구성되는 8/-상태 30W/256-상태 비타비 디코더 (80)에서 비타비 디코더 시에는 25개의 상태가 당보 디코더 시에는 8개의 상태가 존재한다. 그러므로, 단보 디코더 시에는 8개의 상태로 한꺼번에 개산하고, 비타비 디코더 시에는 25개의 상태를 6개의 상태로 묶어 한꺼번에 처리한다. 4. 2568 - 22회의 반복 디코딩을 수백한다.
본 발명에 따른 8/-상태 30W/256-상태 비타비 디코더(80)의 메모리는 상기 논리적인 기능과는 무관하게 구현된다. 내라서 타보 디코디에서 내유-18(96)에 사용할 경로 메트릭(Path Metric)을 제장하는 도 10의 메모리는 (Path Metric)을 제장하는 도 10의 메모리는 (Path Metric)을 제장하는 도 10의 메모리(Path Metric)은 제장하고, 8개의 상태적 묶어 32일 메로 제장한다. 면없 다마 -1001 -101 -101 -101 -

또한 터보 디코데에서 I프레임 홈릭 비트에 해당하는 길이의 LR 메모리(100)에는 비타비 디코데의 서버 이번 중로(survivor exth)를 자중한다. 이때 LR 메모리(108)는 각 소테이지에서 한 번씩 자중될 LR의 전환(resolution)과 비타비 디코데의 8 송태 서비에버 중로(survivor exth) 비트롬(전체 8레트)에 관련된 다. 따라서 LHZ에 resolution에 비타비 디코데의 베트보다 자중 때는 비타비 NG Opth가, 프레임 종막 비트 수보다 작으므로 비타비 NG Opth에 해당하는 메모리와, I프레임 종막 비트 수 - 비타비 NG Opth가, 프레임 영화 비트 수로 비타비 NG Opth가 대회임 경험하는 메모리 중국 비타 수 - 비타비 NG Opth에 해당하는 메모리 등록 나누어서 전자의 것은 8비트로, 혹자는 LR 전환(resolution)으로 구현한다.

윏삤 1 견환(resolution)이 비타비 디코디의 해당하는 하나의 메모리로 구현한다. 신도의18 ᆙ Ë resolution) 임임 は

ίľ ど 湿 FEE 극되표기 33 RIORRY

10-0415116

(survivor)물이 (survivor path g 상기와 같은 본 수 있다. ,생성되고, 이름이 group)이 생성되며 自分の 묾 1 8개씩 묶었으므로 256/8 1스테이지의 값에 해당한다 46만 다 그로다 하 꿃 DED MIO 1525 선정부 반인 FIGHT STED 년 120 開降七三

한편 상기한 본 발영의 설명에서는 구체적인 실 범위를 벗어나지 않고 실시될 수 있다. 따라서 나고 청구범위와 청구범위의 군동한 것에 의하여 선사 여의 관 선 분 발명의 분 연 정하여자이 관해 설명하였으나 여러 기의 범위는 설명된 설시 예에 위한 할 것이다. 가지 변형이 본 | 의하여 정말 ? 는 있다. 한편을 됩

#84 요구 상기한 바꾸 광이 된 발명에 따른 비타비 디코더와 터보 디코더 구조 통합 방법을 사용하여 용권에 다른 하는쪽이로 구현된 타보 디코더와 비타비 디코더를 하니로 구현함으로써, 19-56 및 187-2000, 1973 등 터 보 디코더와 비타비 디코더를 함께 사용하는 계획 소신부를 구현함으로써 경우에 최근됐어의 복결도를 용이는 효과가 있다. 또한 타보 디코더와 비타비 디코더의 구조를 하나로 구현함으로써 터보 디코더와 비타

(S) 879 120

を記し

다에 있어서, 단보 디코디와 흡단표 디포디를 약 사용하는 描입 公员 땶 ねりをり 표 디코더의 鸣 ᄪ

공판점 비터비 디코더를 : 용하는 8-상태 면성-율력 포함하고, 상기 터보 디코더의 | 베터비 알고리즘 디코더와, 몵 MEDELL 물원단대용 ₽

상기 연성-출력 비터비 알고리즘 디코더를 포함하는 것을 특징으로 디코더와 통합되고, 256-상태 하는 상기 통합 디코더. 정기원 딾 디크더인

2 特別

제 반에 있어서, 상기 용합된 우상돼 연성 : 이 한번에 디코딩하도록 계 용한 디코디 記事 비터비 알고리츔 디코디와 256 상태 비터비 디코더는 I 가는 8/256-상태 가산비교 선택 연산기를 포함하는 것을 등 민코딩 시 등 티코딩 시 発展の

5 种级

됩되폰이 대단에 성진론이 되면 지원하는 체험의 수신단에서의 바라의 유표미 경음

공판정 비슨비 디코더를 포함하는 연성-품력 비즌비 알고리즘을 사용하는 8-상태 연신을 디코더와, 25-상태, 공판장 비즌비 디코더의 25-상태 비즌비 디코더를 통화한 코더가 상기 비즌비 인코더와 상기 턴본 인코더에 의해 각각 인코딩된 부호화 압력에 시 사용함 부호화 압력을 서로 다른 메모리에 저장하는 과장과, 다 다 다 만 만

상기 통합 비턴비 디코디가 상기 구분되어 지장된 부호화 일찍어 따라 상기 계산하여 디코딩하는 과정을 포함하는 것을 직장으로 하는 상기 통합 디코딩 . 대학 교육 10 00 00

中部

제3학대 있다시; <u>8</u>2 - 디코딩하는 ,의정님,

(100 기원 주한 지원 이상의 려움돈이 여하 10 10 10 10 전 **5米8** 经量 먑 계상하다 끖 띮

상기 저장된 부호화 입력이 와 맞추어서 8개의 상태로 특 상기 통합 디코딩 방법 에 된다비 인코딩된 부호화 압력인 경우 256개의 : 무어 한번에 계산하여 비터비 디코딩하는 단계를 | 상태를 상기 를 포함하는 2 고 된 골이었을 된 라보니 되

5 配配

지하다 있다시.

상기 베터비 디코딩하는 상기 통합 디코딩 방법 in Cur <u>%</u> 뜶 BELL 처리과정을 32<u>5</u> 다양되었 용작은돈인 탁집으로 캮

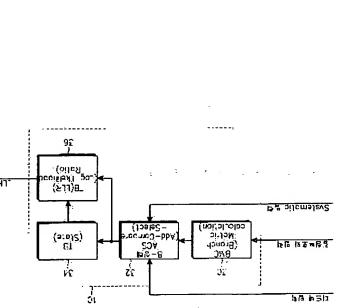
501

1741 2647 8-8-8

H조인 술의

č

Seg



582

~3

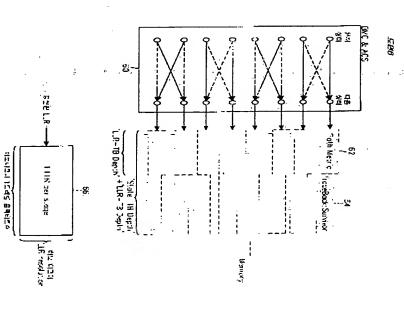
IH (TraceBack)

· 田主 (3 年出,

25

12-6





=

끔

∺

=

EP/S

ន

୍ୟ

Ξ.

_ 3±1=:1' MH.17-15

8

::

ᅙ

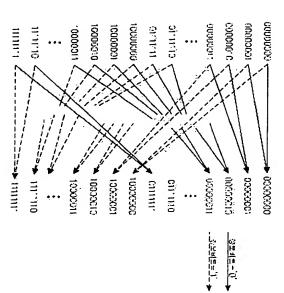
8

EP4

99

8

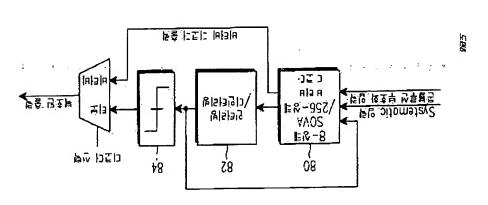
<u>:-</u>:



12-8



507



(1 stage states)/6

(1 stage states/9) × Y Table 1)

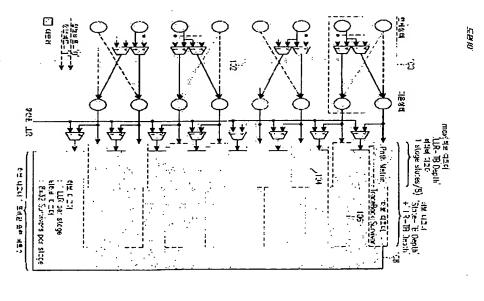
Memory

12-10

Systematic 94

근물학전 부호의 입력

गटन जैब



\$\frac{26}{26} \\ \frac{26}{26} \\ \fra

BNC (Branch Branch BNC BNC

) 05

96

ET-หิปา

State=78.

ŧ6

<য়⁻⊺

FIEIN CI3CI 클피▶

12-12

10-0415116